

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

JA 0112348

JUL 1983

**(54) SEMICONDUCTOR DEVICE**

(11) 58-112348 (A) (43) 4.7.1983 (19) JP

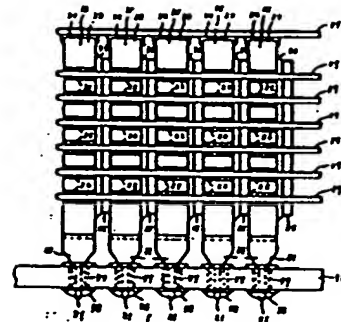
(21) Appl. No. 56-211715 (22) 25.12.1981

(71) FUJITSU K.K. (72) NOBUHIKO MIZUO

(51) Int. Cl. H01L23/12 H01L23/48

**PURPOSE:** To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

**CONSTITUTION:** In a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-112348

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)7月4日

H 01 L 23/12

7357-5F

23/48

7357-5F

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

川崎市中原区上小田中1015番地

富士通株式会社内

⑮ 特 願 昭56-211715

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭56(1981)12月25日

川崎市中原区上小田中1015番地

⑱ 発 明 者 水尾允彦

⑲ 代 理 人 弁理士 松岡宏四郎

① 発明の名称

② 半導体装置

③ 特許請求の範囲

半導体チップが、一外部側面にピン状の外部導電端子を有し、他の外部側面に被覆状の外部導電層を有するチップ・キャリアに実装されてなることを特徴とする半導体装置。

④ 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体チップがチップ・キャリアに実装された半導体装置に係り、特に半導体チップとして半導体メモリ素子がチップ・キャリアに実装された半導体装置に於ける外部導電端子の構造に関する。

(b) 技術的背景

計算機システム等の大規模化に伴い、計算機システムに搭載される半導体メモリ素子等の半導体素子の集積密度 (I.C.) 素子の数は非常に増大を遂げており、このことはシステムの大規模化を招き、

それに伴ってシステム内の配線長が長くなり計算速度の低下を招く。そこで、計算機システム等に対する半導体IC素子の実装密度を高めシステムの大規模化を招く手段として提供されたのが、チップ・キャリア実装構造の半導体IC装置である。

(c) 従来技術と問題点

従来から用いられているチップ・キャリアの中で、最も実装密度が高められる構造にリードレス・チップ・キャリアがある。第1図はリードレス・チップ・キャリアに実装された半導体IC装置に於ける一例の断面図(1)及び底面図(2)を示したものである。そして図(1)に於て1はセリシム層、2はセリシム層、3は炭素に金(Au)めっき等が施されたチップ・スタック、4は炭素にAuめっき等が施されている内部配線、5は内部配線からそれぞれ延出されるAuめっき等が施されている外部配線、6は外部配線がそれぞれ延出される炭素にAuめっき等が施された被覆状の外部端子、7はキャップろう付け用ノライズ層、8は金属キャップ、9は炭素(Au)合金等のろう材、

10は半導体ICチップ、11はゲンディング・ヘッド、12はアルミニウム(Al)等のゲンディング・ワイヤ、13は金(Au)/シリコン(81)層を示している。

このように製造を有する従来のチップ・キャリアに実装された半導体IC装置は、計算機システム等に配設される配線基板に対して底面を下にして水平に(平面)実装される。その実装状態を示したのが第2図で、図中14は前記チップ・キャリア実装構造の半導体IC装置、15はセラミクス或るいはプラスチックにより形成された配線基板、16は配線パターン、6は前記外部導電端子、17は平坦層のろう材を供している。

上記のように従来のチップ・キャリア実装構造の半導体IC装置に於ては配線基板に対して平面実装がなされるために、チップ・キャリアの平面積によって実装密度が制限され更に実装密度を高めることができなかった。

#### (d) 発明の目的

本発明は上記問題点に鑑み、配線基板に対して

チップ・キャリア23上に例えば金属キャップ25が形成されてきている。なお前記チップ・キャリア23に於けるピン状外部導電端子21は、通常構造の内部配線26からチップ・キャリア23の一側面に延出された外部配線27a上に鉄/ニッケル合金等通常の導電材料からなる例えばピン状打抜き加工片が銀ろう28等によりろう付けされて形成され、又被動状外部導電端子22は内部配線26からチップ・キャリア23の他記以外の三側面に導出された外部配線27b上に金めっき等が施されて形成される。そして半導体メモリ・チップ24は通常構造のチップ・スプーヅ29上に金/シリコン合金30等を介してろう付けされ、例えば前記半導体メモリ・チップ24のチップ・セラミクス端子等チップ固有の信号が受けるベッド端子31とピン状外部導電端子に接続する内部配線26とがアルミニウム等のゲンディング・ワイヤ31により接続される。又入出力端子、電線端子等各メモリ・チップに対して共通に配線されるベッド端子31と被動状外部導電端子22

両面に接続することが可能を製造を有するチップ・キャリア実装の半導体装置を提供し、実装密度を向上せしめることを目的とする。

#### (e) 発明の構成

本発明は半導体装置に於て、半導体チップが、一外部側面にピン状の導電端子を有し他の外部側面に被動状の導電端子を有するチップ・キャリアに実装されてなることを特徴とする。

#### (f) 発明の実施例

以下本発明を、半導体メモリ装置に於ける一実施例について、第3図に示す上面図(f)、側面図(h)、A-A'矢視断面図(g)、下面図(i)、及び図4に示す実装方法に於ける一実施例の上面図(j)、側面図(k)を用いて詳細に説明する。

本発明を適用した半導体メモリ装置は、例えば第3図(f)、(h)、(i)に示すよう、一側面に例えば2(本)のピン状外部導電端子21が配設され、他の三側面に所望数の被動状外部導電端子22が配設されたセラミクス・チップ・キャリア23内に半導体メモリ・チップ24が実装され、該チ

ップに接続する内部配線26とがゲンディング・ワイヤ32により接続される。本発明の構成に於ては、通常このようにピン状外部導電端子21をチップ・セラミクス端子等メモリ装置に固有な信号端子とし、被動状外部導電端子22を入出力端子或るいは電線端子等各メモリ装置に対する共通信号の端子とする。そして上記のように半導体メモリ・チップ24が実装されたチップ・キャリア23上面に形成されている通常構造の制止片33上に金/錫合金等のろう材34を介して金属キャップ25が気密にろう付けされてきている。

本発明の構成を有する半導体装置は該半導体装置に配設されたピン状外部導電端子を介して配線基板上に立てて実装することができる。

第4図は前記実施例に示した半導体メモリ装置の実装例を示したもので、図中21はピン状外部導電端子(固有信号端子)、22は被動状外部導電端子(共通信号端子)、23はセラミクス・チップ・キャリア、25は金属キャップ、34はろう材、35は半導体メモリ装置、36は

プロ、26a及び26bは内部配線、28は銀ろう、30は金/シリコン合金、32はゲンディング・ワイヤ、33は制止片、34はろう材、35は半導体メモリ装置、36は

代理人 弁護士

全調子をも有する  
星を供給し、  
とす

さて、半導体チップが、  
電子を有し他の外部に  
有するチップ・キャパ  
シタンスとする。

二、示す上面図(1)、側面図(2)、  
下面図(3)、及び其4図に  
一実施例の上面図(4)、側面  
図(5)。

導体ノモリ設置は、例えは  
に示すよう、一側面に例え  
、面導電層子 21 が配設され、  
、被膜状外部導電層子 22 が  
、チップ・キャパ 23 内  
、チップ 24 が実装され、該チ

26. がボンディング・ワ  
されし。本発明の構成に於て  
ピン状外部導電端子21をテ  
等各ノモリ設置に因るな値サ  
部導電端子22を出入力端子  
各ノモリ設置に對する共通信  
して上記のように半導体ノモ  
を接続されたチップ・キャリア23  
へる通常構成の封止枠33上に  
う封34を介して金属チップ  
付けされておっている。

有する半導体領域は、該半導体領域外から配線電極を介して配線接続することができる。

(実施例に示した半導体)<sup>※</sup>モリブデンのもので、図中2-1はピン状態の電子<sup>†</sup>、2-2は有源状態の電子<sup>‡</sup>、2-3はα<sup>§</sup>、β<sup>||</sup>、γ<sup>¶</sup>、2-5は炭素やフッ素<sup>\*\*</sup>で半導体<sup>††</sup>を形成、2-6は

アノス等からなる配線基板、37  
38は平田、39は導線を渡り  
基板40には最も奥段面を高くした奥段側、  
奥段側面には、半導体ノモリ領域35は上  
下段で互いが接し合う状態で配線基板36上に  
立て並べられ、各半導体ノモリ領域35のピン状  
外部導電端子21が配線基板36に於ける所定  
スルーホール37に差し込まれ平田付けされて固  
定される。そして各ノモリ領域35に於ける共通  
信号端子である複数個外部導電端子22上には各  
列毎にそれぞれ導線39からなる一連の共通信号  
線が平田付けされる。

な上記実施例に於てはピン状外部導電端子を  
 2〔本〕設けたが、該端子は必要に応じて何本も  
 設け得る。又該ピン状外部導電端子は棒状  
 で一端がキャリア内に埋め込まれて形成されたも  
 のでもよい。又キャップはセラミックスであつて  
 もよい。更に又本発明は金属パッケージ、プラス  
 チックパッケージにも適用することができる。

プ、26。及び26bは内部配線、27。及び27  
 bは外周配線、28は銀ろう、29はチップ・ス  
 テージ、30は金／シリコン合金、31a及31  
 bはパッド端子、32はボンディング・ワイヤ、  
 33は封止剤、34はろう材、35は半導体ノモ  
 リ装置、36は配線基板、37はスクレーパー、  
 38は半田、39は導線を示す。

代理人 弁理士 松 岡 安昭

#### ④ 發明之效果

以上説明したように本発明の構造を有する半導体装置は、配線基板上に立てて実装することができ、そこで第4図に示すような配線基板上への実装方法が可成りあり、図からも明らかなように従来の平面実装構造に比べて実装密度を大幅に向上せしめることができる。

従って本発明は計算機システム等の高速化、小型化に於いて有効である。

#### 4. 図面の用字を説明

第 1 図は従来の製造の断面図(1)及び下面図(2)、第 2 図は従来の製造製造の断面模式図、第 3 図は本発明の半導体装置に於ける一実施例の上面図(3)、側面図(4)、 $A-A'$  矢視断面図(5)、下面図(6)で、第 4 図は本発明の半導体装置に於ける一実施例の上面図(7)及び側面図(8)である。

図に於て、21はピン状外部導電端子（固有信号端子）、22は被覆状外部導電端子（共通信号端子）、23はセラミック・チップ・キャリア、24は半導体ノモリ・チップ、25は金属キャ

三、四

